Al sham University
Faculty of Informatic

جامعة الشام الخاصة
كلية الهندسة المعلوماتية

تطبيقات ربط المعالج مع الذاكرة

ربط SRAM مع المعالج 8086 :

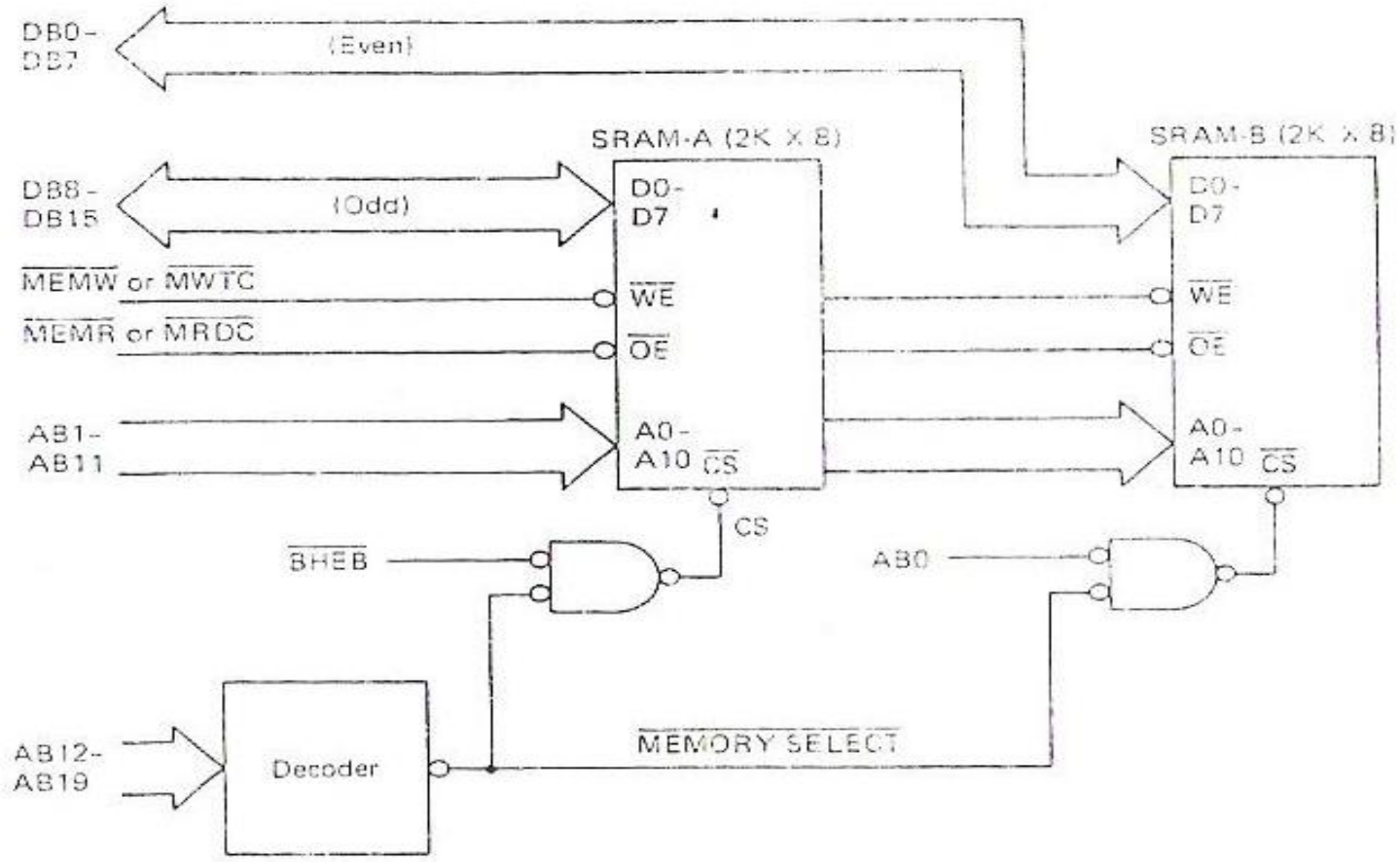


Figure 7.16 The TMM2016 is interfaced to the 8086 CPU in pairs. One chip stores the even bytes, the other the odd bytes.

7- يبين الشكل ربط 16 شريحتين من الذاكرة SRAM مع 8 × 2K المعالج

يتم تخزين البايت الزوجي الموصول مع خطوط المعطيات DB0-AB7والبايت الفردي مع خطوط المعطيات DB8-DB15 وهذا الربط يعطي 4KByte (2k word) .

لاحظ أن خطوط العنونة AB1-AB11 موصولة مع خطوط عنونة الذاكرة A0-A10 وأن الخطوط BHE-AB0هي للتحكم بالبايت الفردي والبايت الزوجي حسب الجدول التالي :

الوظيفة	A0	BHE
تفعيل كلمة طولها 16Bit	0	0
بايت فردي	1	0
بايت زوجي	0	1
غير فعال	1	1

وبالتالي العنوان ينحصرمن 00000H-00FFFH لأن من AB12-AB19دوما في حالة 0

ربط الذاكرة ROM مع المعالج 8086 :

بما أن الذاكرة ROM لا يمكن الكتابة فيه فان الخطوط BHE ,A0 غير مستخدمة .

يبين الشكل 7-18 شريحتين EPROM كل منها 8 × 8K وبذلك يكون لدينا

شريحة للعناوين الفردية وشريحة للعناوين الزوجية وإشارة Memory select في

المستوى المنخفض.

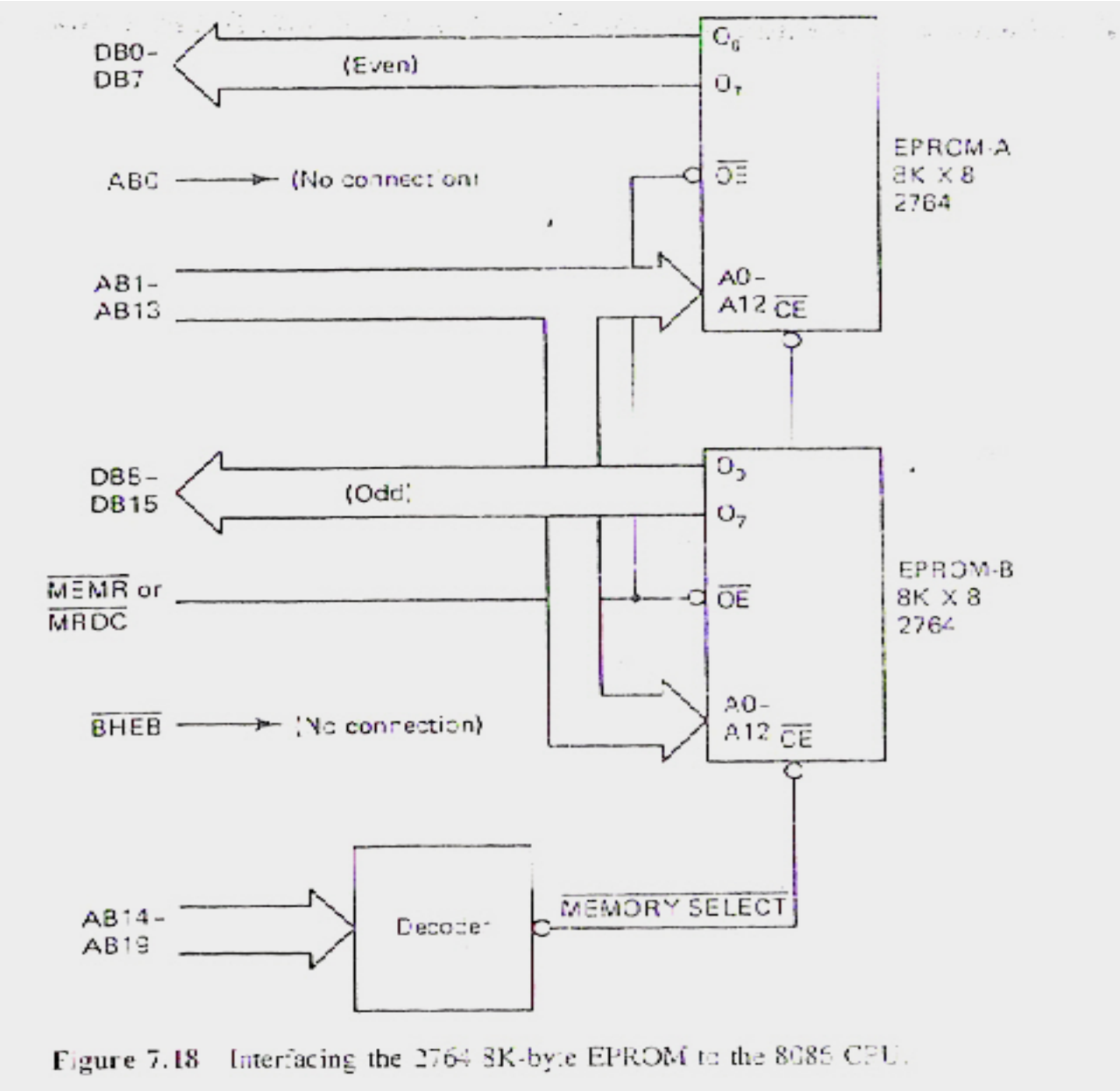


Figure 7.18 Interfacing the 2764 8K-byte EPROM to the 8086 CPU.

ربط شريحتين EPROM (8K*8) مع المعالج8086

ولكن ستكون كلا الشريحتين فعالتين سواء أكانت العنونة فردية أم زوجية أو لقراءة كلمة .

لدينا هنا 13 خط عنونة ضرورية لعنونة إحدى الذاكرتين (8k*8) ومفكك العنونة يجب أن

يفكك خطوط العنونة غير المستخدمة A14-A19.

والدارة في الشكل 19-7 تبين قوة الخطوط الغير مستخدمة (11111)

وبالتالي فان مجال العنونة هو FC000H-FFFFFH

.

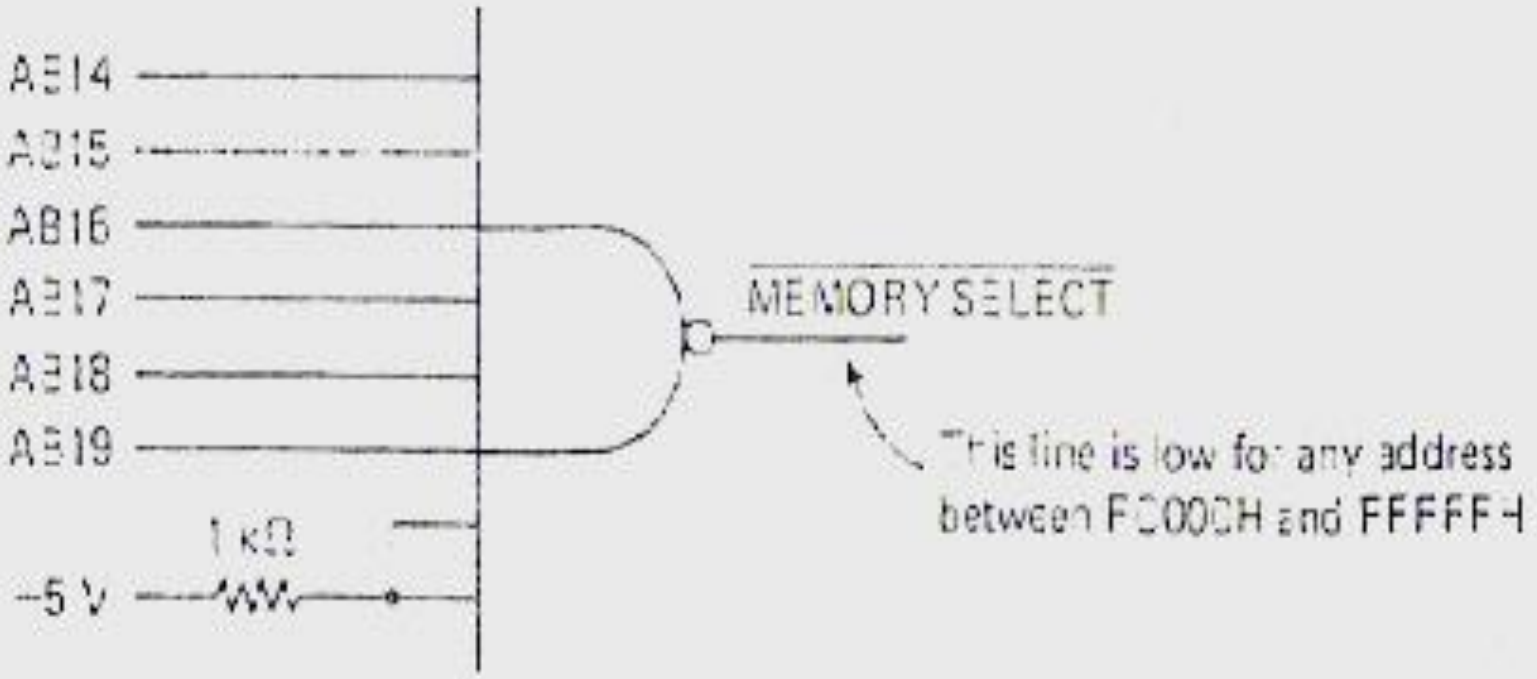


Figure 7.19 This address decoder causes the EPROM interface in Fig. 7.18 to reside in the 16K-byte range FC000H–FFFFFH.

مفكك العنونة للخطوط A14-115

مثال:

صمم نظام عنونة لربط ذاكرة EPROM (16KByte) تبدأ بالعنوان

80000H مكونة من شريحتين كلا منهما (8K*8)

يبن الشكل 7-22 التصميم المطلوب وفيه نرى أن خطوط العنونة AB1-AB13 تستخدم لعنونة كلا الشريحتين AB0 غير مستخدم .

من AB14-AB19 لاختيار الذاكرة Memory select من 80000H-83FFFH .

الشكل (7-22)

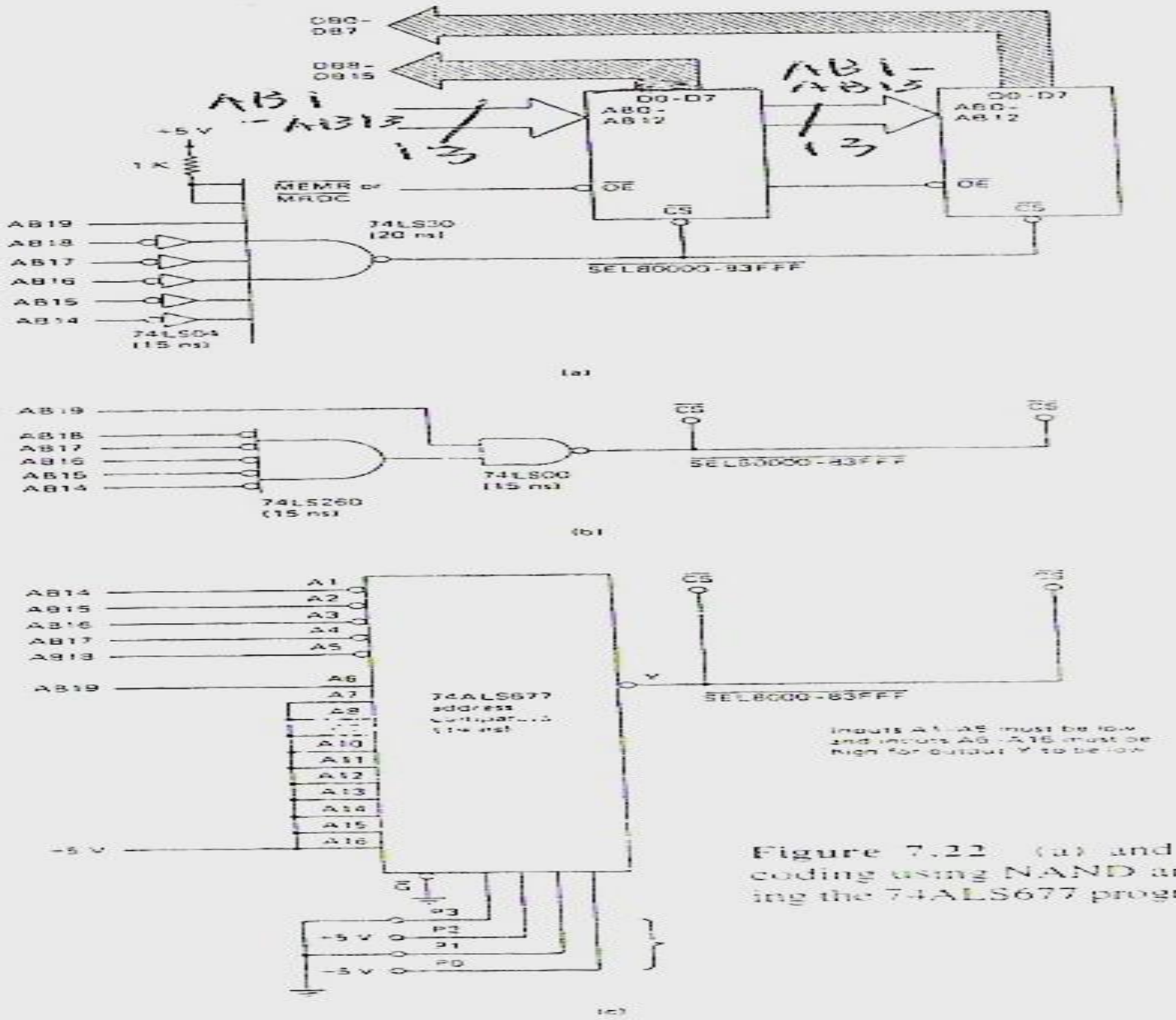


Figure 7.22 (a) and (b) Full address decoding using NAND and NOR gates; (c) Using the 74ALS677 programmable NAND gate.

بما أن عنوان الذاكرة يبدأ من 80000H وكل ذاكرة تحتاج إلى 13 خط عنونة
أي مجال العنونة لها من 0000

1000	0000	0000	0000	0000
0000	0011	1111	1111	1111

العنوان النهائي هو:

1000	0011	1111	1111	1111
8	3	FFFF	FFFF	FFFFF

الشكل 24-7 يبين نظام ذاكرة مكون من 256KB أي مكون من أربع شرائح كل شريحة 64KB ومفكك عنونة لاختيار إحدى الشرائح الأربع، خطوط العنونة من AB0-AB15 تختار لعنونة 64KB في كل شريحة،وبالتالي يكون مجال عنونة أول شريحة من 00000H-0FFFFH وهكذا.....

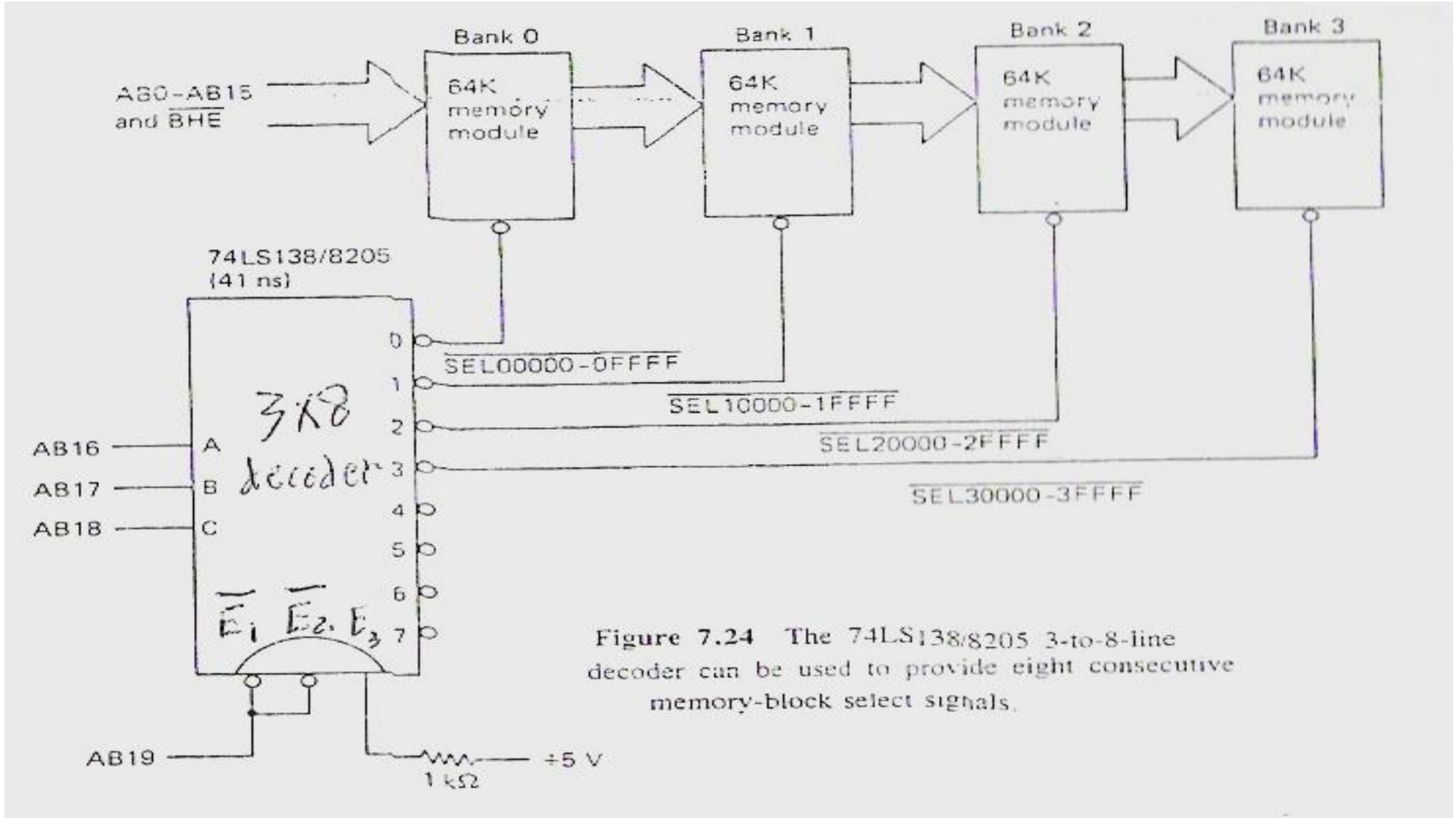
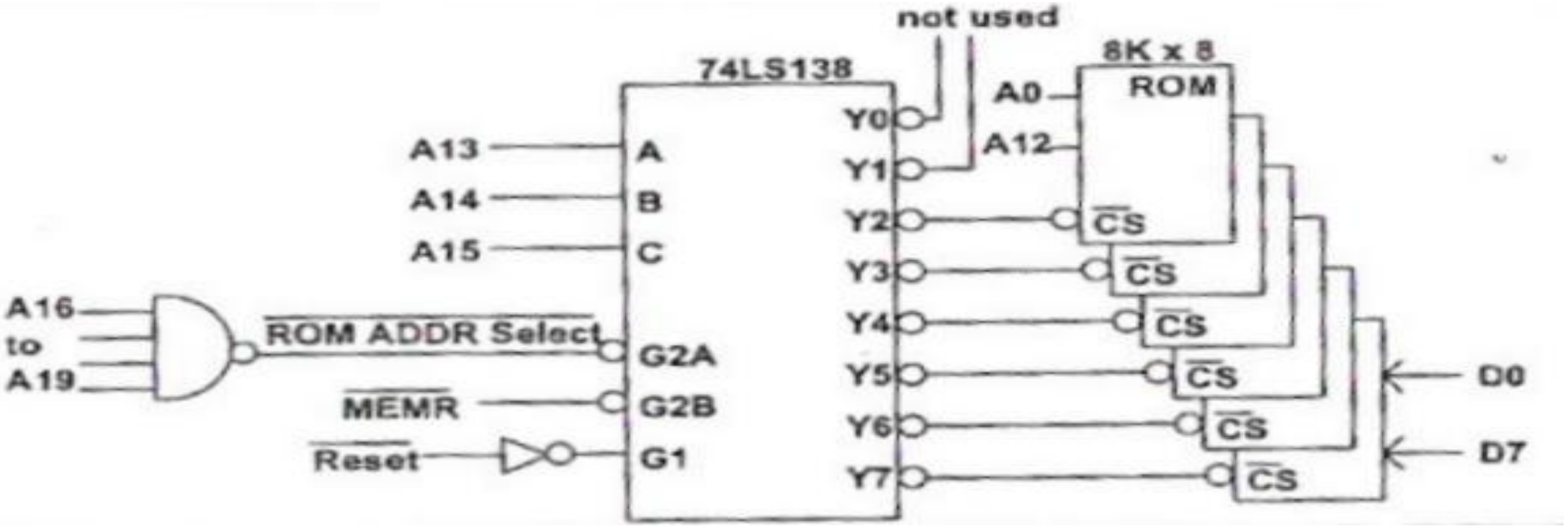


Figure 7.24 The 74LS138/8205 3-to-8-line decoder can be used to provide eight consecutive memory-block select signals.

7- الشكل 24

- يبين الشكل نظام ذاكرة مكون من 6 شرائح 8 K* 8 ROM



كل شريحة ذاكرة لها 13 خط عنوانه من A12 --- A0

يتم اختيار احدى الشرائح بتفعيل الرجل الخاصة بها وهذا يعتمد على المخرج المتصل به لدارة التفكيك الذي يعتمد على المداخل A – B – C

توصل G1 مع الإشارة RESET بعد عكسها

يفعل G2A عن طريق الإشارة التي هي مخرج NAND الموصولة مع خطوط العنوان من A16 – A 14

ويفعل G2B عن طريق اشارة التحكم MEMR

وبالتالي مجال العنونة للمخرج Y7 هو

A19	A18	A17	A16	A15	A14	A13	A12	---	---	A1	A0
1	1	1	1	1	1	1	0			0	0
1	1	1	1	1	1	1	1			1	1

- أي ضمن المجال FE000H – FFFFFH لعنونة الشريحة المرتبطة بالمخرج Y7

و مجال Y6 هو FC000H – FDFFFH

FA000H – FBFFFH Y5

F8000H – F9FFFH Y4

F6000H – F7FFFH Y3

F4000H – F5FFFH Y2

F2000H – F3FFFH Y1

F0000H – F1FFFH Y0

- ملاحظة :

عند تصفير المعالج تكن محتويات المسجلات CS = FFFFH

DS = SS = ES = IP = 0000H

مؤشر الاعلام DF=0000H و الرتل فارغ .

بعد التصفير يقوم المعالج بجلب أول تعليمة من العنوان CS : IP والذي يمثل العنوان المنطقي FFFF:0000 والعنوان الفيزيائي FFFFO

وبالتالي أول برنامج يقوم المعالج بتنفيذه هو برنامج ROMIOS فيقوم البرنامج باختبار المعالج والذاكرة ROM والذاكرة RAM وتهيئة الدارات المحيطية و اقلاع النظام .

بما أن المعالج يجلب التعليمات وينفذها من العنوان الفيزيائي FFFFOH والمنطقي FFFF:0000فهذا العنوان يقع ضمن حيز الذاكرة ROM .

• سلامة المعطيات في الذاكرة ROM :

يقوم المعالج بحساب مجموع اختباري لمحتويات الذاكرة ROM للتأكد من صحتها وسلامتها و الكشف عن أي عطب في الذاكرة .

و لفهم هذه التقنية علينا التعرف على كيفية الحصول على بايت المجموع الإختباري :

1–جمع كل البايتات في الذاكرة مع إهمال الحَمْل .

2–إيجاد المتمم الثنائي لناتج المجموع السابق .

ويقوم الحاسب بالتأكد من المجموع الإختباري وفق الخطوات التالية :

1–جمع كل البايتات بما فيها البايت الأخير الذي يمثل بايت المجموع النهائي

2–اختبار النتيجة إذا كانت تساوي الصفر فالذاكرة ROM سليمة المعلومات و إلا فإن أحد البايتات قد تغير أو تعطل .

مثال :

ليكن لدينا 4 بايت ست عشرية هي 25H - 62H - 3FH - 52H

1–أوجد بايت المجموع الإختباري .

2–قم باختبار المجموع للتأكد من صحة المعلومات .

3–إذا تم استبدال القيمة 62H بقيمة أخرى 22H فكيف يتم اكتشاف الخطأ .

*الحل :

نجمع هذه القيم

25
62
3F
52
1 18H

نهمل من المجموع الواحد فنحصل على النتيجة 18H نأخذ المتمم الذي هو E8H

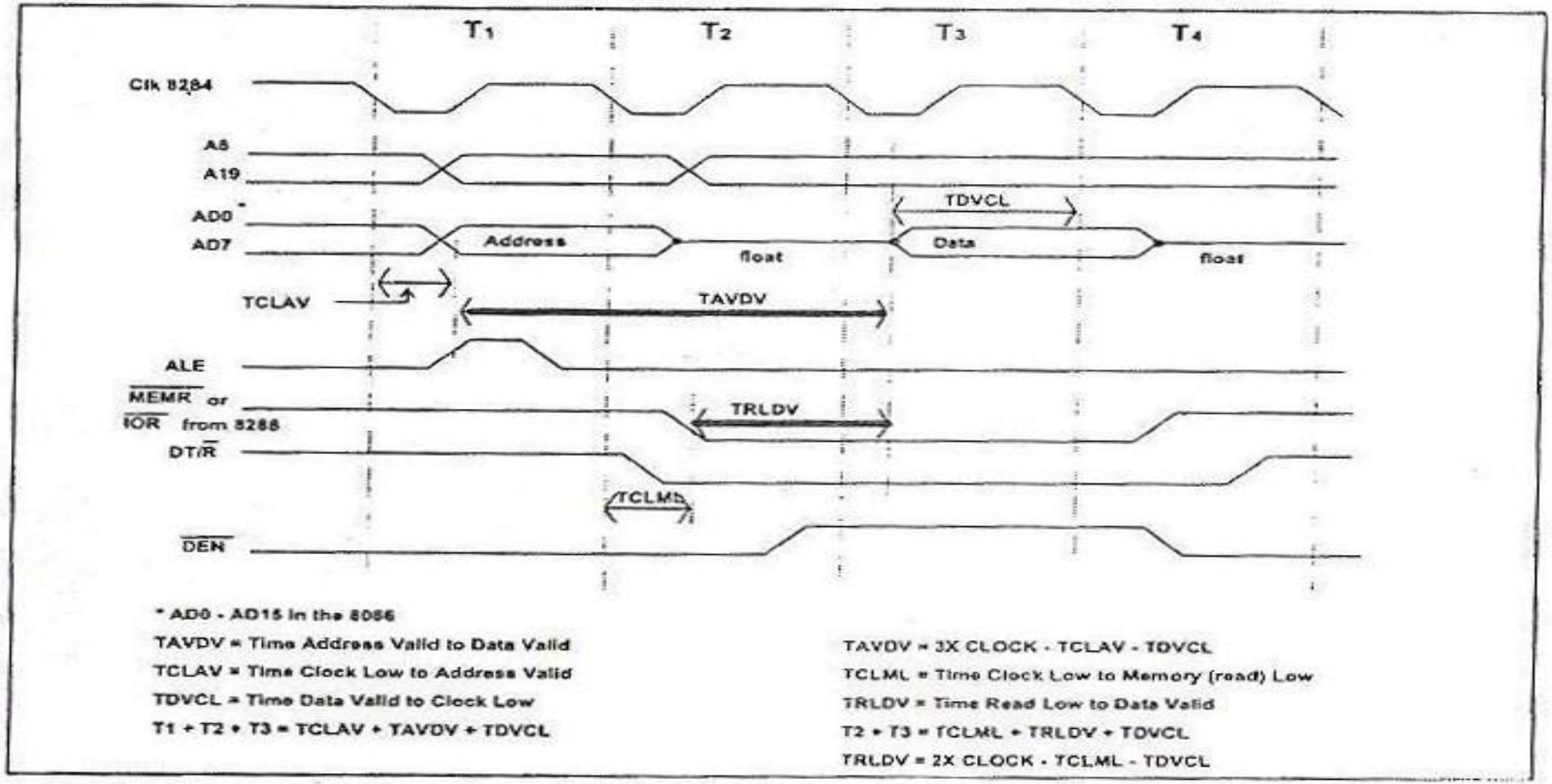
2–نحسب مجموع القيم السابقة ونضيف اليها البايت الناتج الأخير فينتج الصفر وبالتالي القيم هي نفسها وصحيحة تماماً .

25
62
3F
52
E8
2 00

نهمل المنقول

3–إذا جمعنا القيم مع استبدال القيمة ثم أخذنا المتمم وجمعناه مع القيم نحصل على القيمة 1C0H أي غير الصفر مما يدل على أن احدى القيم قد تغيرت .

المواصفات الزمنية لدورة القراءة في المعالج8086



الشكل (3-21) المخطط الزمني للإشارتين $\overline{MEMR}$, $\overline{IOR}$,في المعالج 8088/86.

المواصفات الزمنية لدورة القراءة والكتابة في المعالج 8086

زمن قراءة المعالج 8086 للذاكرة والدخل / الخرج

لحساب الزمن المطلوب لدورة القراءة من الذاكرة أو جهاز ما يجب دراسة المعاملات التالية :

1–الزمن الفاصل بين توضع عنوان صحيح و ظهور معطيات صحيحة هو الزمن الفاصل بين لحظة

تفعيل خطوط العنونة ولحظة تفعيل خطوط المعطيات (توضع المعطيات على الأرجل)(TAVDV)

TIME FROM ADDRESS VALID TO DAT VALID

2–الزمن الفاصل بين حافة الساعة المنخفضة وظهور عنوان صحيح : و هو الزمن الفاصل بين الحافة الهابطة للدورة T1 ولحظة توضع العنوان على أرجل العناوين للمعالج
(TCLAV)
(TIME CLOCK LOW TO ADDRESS VALID)

3–زمن تواجد معطيات صحيحة بدءاً من نبضة الساعة CLK منخفضة : و هو الزمن الفاصل بين توضع المعطيات على خطوط المعطيات خلال الزمن T3 وأول نبضة هابطة للساعة تليها
(TDVCL)
(TIME DATA VALID TO CLOK LOW)

4–الزمن الفاصل بين المستوى المنخفض لنبضتي ساعة متتاليتين : و هو زمن دور الساعة = 1/f
(TCLTL)
(CLOCK LOW TO CLOCK LOW)

*حساب الزمن TAVDV

TAVDV = 3TCLCL – TCLAV max – TDVCL min

6–الزمن الفاصل بين لحظة تفعيل الإشارة IOR و MEMR الى لحظة توضع المعطيات الصحيحة على أرجل المعالج .

(TRLDV)

(TIME FROM CLOCK LOW TO DATA VALID)

7– الزمن الفاصل بين بداية الدورة T2 حيث أن إشارة التحكم تصبح فعالة خلال T2 الى لحظة تفعيل إشارات التحكم IOR و MEMR

(TCLMLmax)

(TIME FROM CLOCK LOW TO MEMOREY LOW)

*حساب الزمن TRLDV

TRLDV = 2 TCLCL – TCLMLmax - TDVCLmax

أمثلة محلولة

1 – إذا كان دور الساعة الاصغري TCLCLmin = 125NS و الأعظمي
TCLCLmax = 500NS فما هو التردد الأصغري و الأعظمي للمعالج ؟

F1 = 1/T =1/125*10^-9 = 8MHZ
F2 = 1/500*10^-9 = 2MHZ

2-بفرض أن تردد عمل المعالج 5MHZ ومعاملات المعالج معطاة وفق الجدول التالي :

	TCLCL	TCLAV	TDVCL	TCLDV	TCLML	TCLMH
MAX	500	110	-	110	35	35
MIN	200	10	30	10	10	10

TAVDV = 3 TCLCL – TCLAVmax - TAVCLmin = 3*200-110=460NS
TRLDV = 2TCLCL – TCLMLmax – TDVCLmin = 2*200 – 35-30 = 335NS

هذا يعني أن المعالج يقدم المعطيات قبل 300ns من الجبهة الصاعدة لإشارة MEMW .

لذلك فإن التأخير على الممر بالإضافة الى زمن الإعداد للجهاز المستقبل للمعطيات يجب أن يكون أقل من 300ns و إلا يجب إضافة حالات انتظار .

بإمكاننا أن نوجد الزمن TWHDX كالتالي :

$$TWHDX = TCLCH - TCLMHmax + TCHDXmin$$

$$= 118-35+10 = 93NS$$

هذا يعني أن المعطيات تبقى على الممر لفترة أطول من فترة الكتابة الى الجهاز أو الذاكرة بمقدار 93ns

3– إذا كان تردد المعالج 5MHZ وزمن الوصول إلى الذاكرة TACC=45ONS ROM
والتأخير الناتج عن المسك والعزل والترميز على خطوط المعطيات والعناوين هو 155ns
هل هناك حاجة لإضافة حالات انتظار وكيف ذلك ؟

حسبنا في المثال الأول : TAVDV = 460ns
فإذا كان زمن تأخير الممر 155ns فيبقى زمن قدره :
460 – 155 = 305ns

أي 305ns من أجل زمن الوصول للذاكرة و بما أن زمن الوصول المعطى هو 450ns فهذا يعني أن النظام بدون حالة انتظار يعطى 305ns لتقديم المعلومات لهذا علينا إضافة حالة انتظار تجعل المعالج ينتظر قليلاً .
زمن الإنتظار : 450 – 305 = 145ns
لكن زمن حالة الإنتظار يساوي عدد صحيح من دورة الساعة :
1*1/f = 1*2^-7 = 200 ns

4–بفرض أن زمن التأخيرالكلي الذي تتعرض له إشارات العناوين والمعطيات بين المعالج والذاكرة هو 165NS فما هي السرعة الأعظمية المسموحة ؟

نلاحظ أن:

TAVDV = 460NS

فإن زمن تأخير عملية توزيع المعطيات والعناوين

460 – 165 = 295NS

وبالتالي فإن أكبر زمن وصول للذاكرة هو 295NS .

زمن الكتابة في الذاكرة وأجهزة الدخل والخرج للمعالج 8086 :

عند كتابة المعالج للمعلومات في الذاكرة أو أجهزة الدخل / الخرج فيجب أن يكون الزمن دقيقاً جداً تستغرق دورة الكتابة 4 نبضات ساعة يتوضع العنوان خلال الدورة T1 بواسطة خط ماسك العنوان ALE وتطبق اشارات التحكم IOW و MEMW في الدورة T2 وتبقى هذه الإشارة فعالة (0) على طول T3 وجزء من T4 .

1–زمن الإعداد :

وهو الزمن الفاصل بين لحظة تطبيق المعطيات و الجبهة الصاعدة لإشارة الكتابة

(TDVWH)

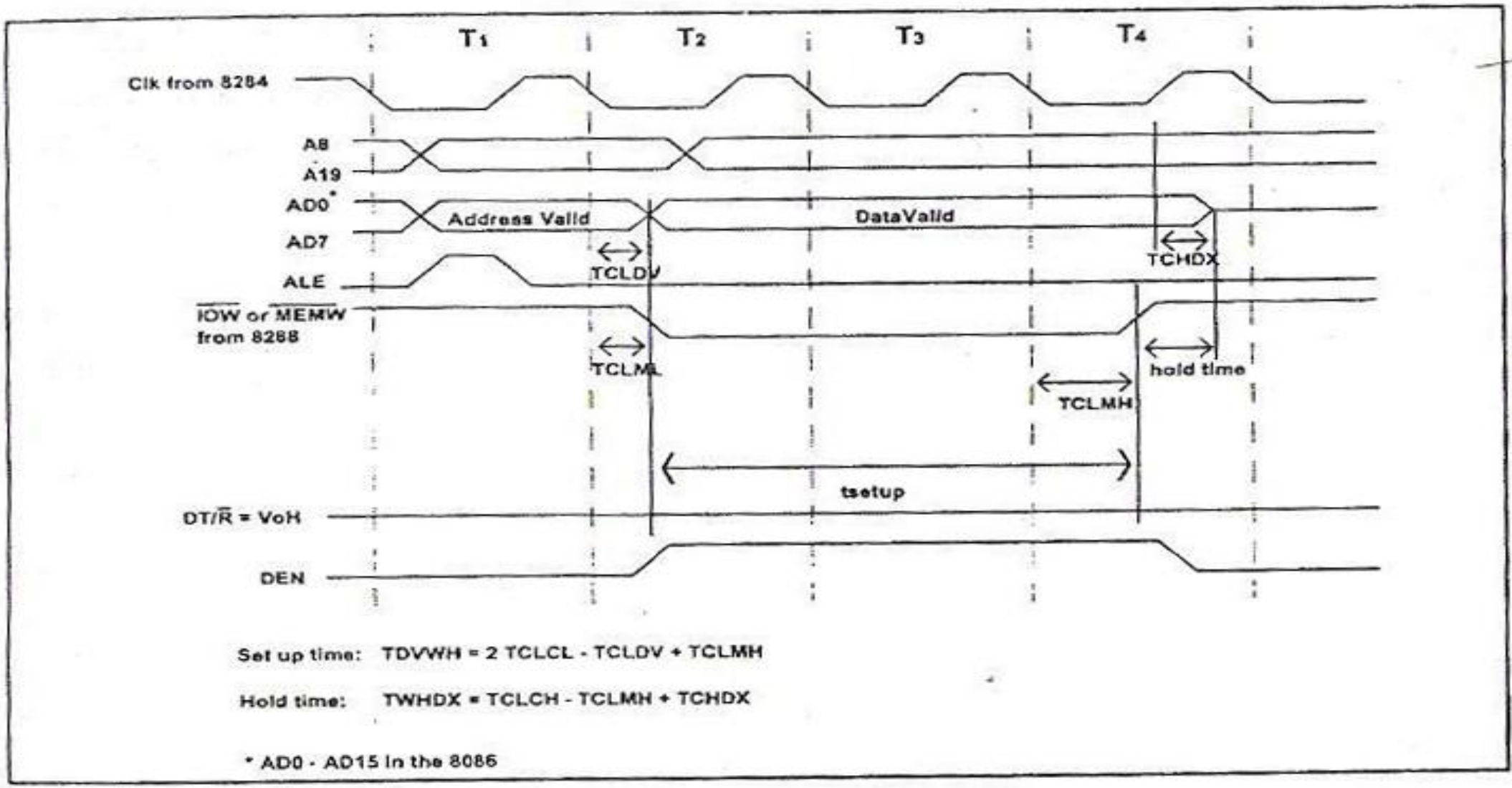
TIME DATA VALID WRITE GOING HIGH

2–زمن المسك :

وهو الزمن الذي تبقى فيه المعطيات مطبقة على أرجل المعطيات للجهاز المستقبل بعد انتهاء تفعيل WR وذلك للتأكد من استقبال الجهاز للمعطيات .

(TWHDX)

TIME WRITE GOING HIGH



الشكل (3-22) المخطط الزمني للإشارتين $\overline{IOW}$, $\overline{MEMW}$ في المعالج 8088/86.

4– الزمن الفاصل بين الجبهة الهابطة للساعة والجبهة الصاعدة لإشارة التحكم :
(TCLMHmin)
TIME FOR CLOCK LOW TO MEMORY OR I /O GOIONG HIGH

5– الزمن الفاصل بين الجبهة الصاعدة للساعة ولحظة تقويم المعطيات (إزالة المعطيات عن الخطوط):
(TCHDX)
TIME FROM CLOCK LOW TO DATA XEDOR FLOAT

6–الزمن الفاصل بين الجبهة الهابطة للساعة والجبهة الصاعدة للساعة ويمثل نصف الدور :
(TCLCH)
TIME CLOCK LOW TO CLOCK HIGH

TDVWH = 2TCLCL – TCLDVmax + TCLMHmin
TWHDX = TCLCH – TCLMHmax + TCHDXmin

وبالتالي :

TDVWH = 2*200 – 110 + 10 = 300NS
TWHDX = 118 – 30 = 88 ns

إضافة حالة انتظار في المعالج 8086 :

يمكن إضافة زمن انتظار بجعل رجل المعالج READY بحالة (0) لمدة دورة ساعة يختبر المعالج الرجل READY خلال T3 فإن كانت 0 يضيف دورة ساعة TW بين T3 و T4 .

إن دورة القراءة والكتابة بدون حالات انتظار 800NS = 200*4 أما عند وجود حالة انتظار وحيدة تصبح 1000NS وفي كل مرة يفحص المعالج إشارة READY قبل الحافة الصاعدة لدورة الإنتظار المضافة فإن كانت 0 يضيف دورة ساعة .

مثال :

احسب زمن الإعداد TDVWH

وزمن المسك TWHDX

وذلك في نظام يعتمد المعالج 8086 بتردد 5MHZ .

الحل :

$$TDVWH = 2CLCL - TCLDVmax + TCLMHmin$$
$$= 2*200 - 110 + 10 = 300NS$$

إن تردد الساعة $200NS = 1/(5MHz) = 1/F$

وبالتالي يجب أن ينتظر في مثالنا حالة وحيدة قدرها 200NS ليصبح زمن الوصول الكلي للذاكرة

$200 + 305 = 505NS$ وهو كبير بالمقارنة مع زمن المعالج (450NS) .

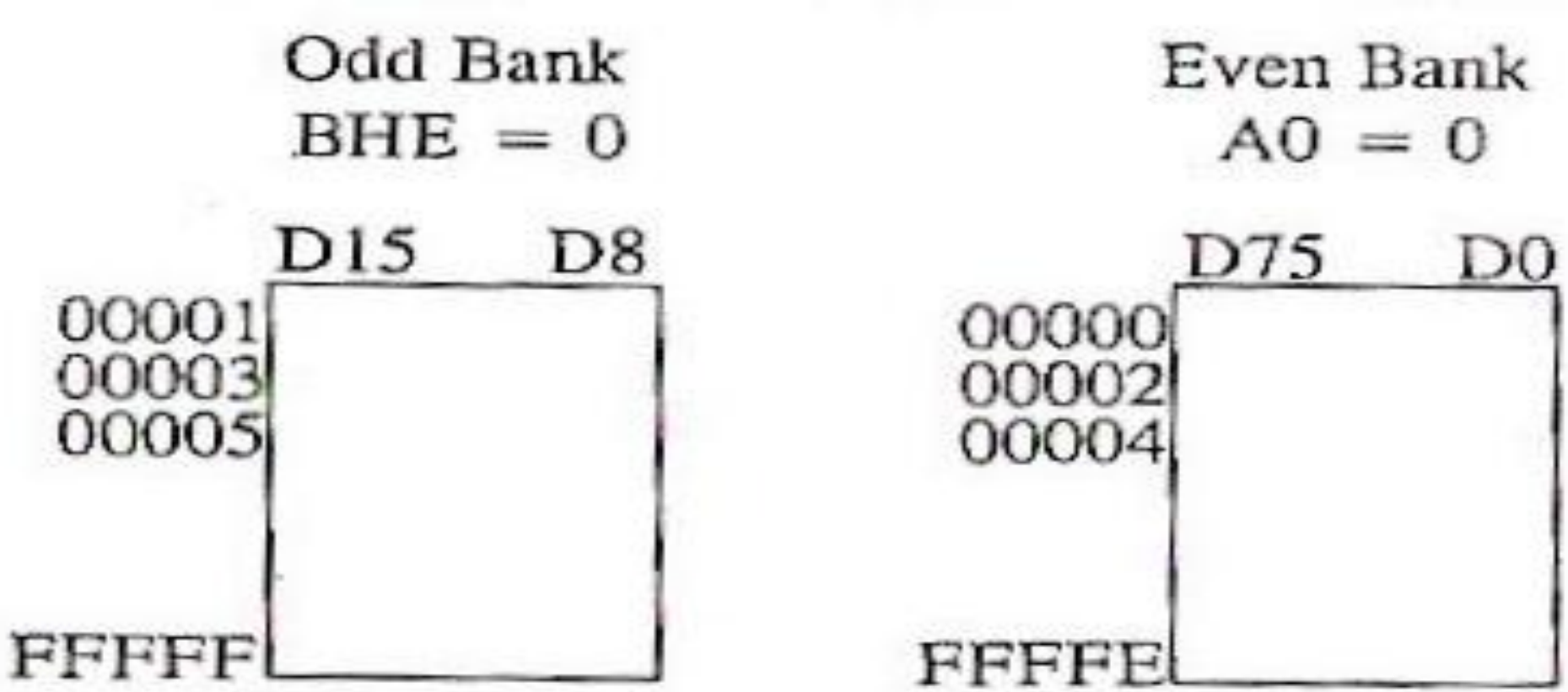
- ملاحظة :

إذا كان تردد المعالج 10MHZ يصبح الزمن

$$t = 1/F = 100NS$$

$$TAVDV = 3TCLCL - TCLAVmax - TDVCLmin$$
$$= 3*100 - 50 - 5 = 245NS$$

* تقسم الذاكرة في نظام المعالج 8086 والمكونة من المواقع 00000 إلى FFFFFH الى قسمين فردي وزوجي كما هو مبين في الشكل التالي :



وتستخدم الاشارة BHE للتمييز بين العناوين الزوجية والفردية وفقاً لما يلي :

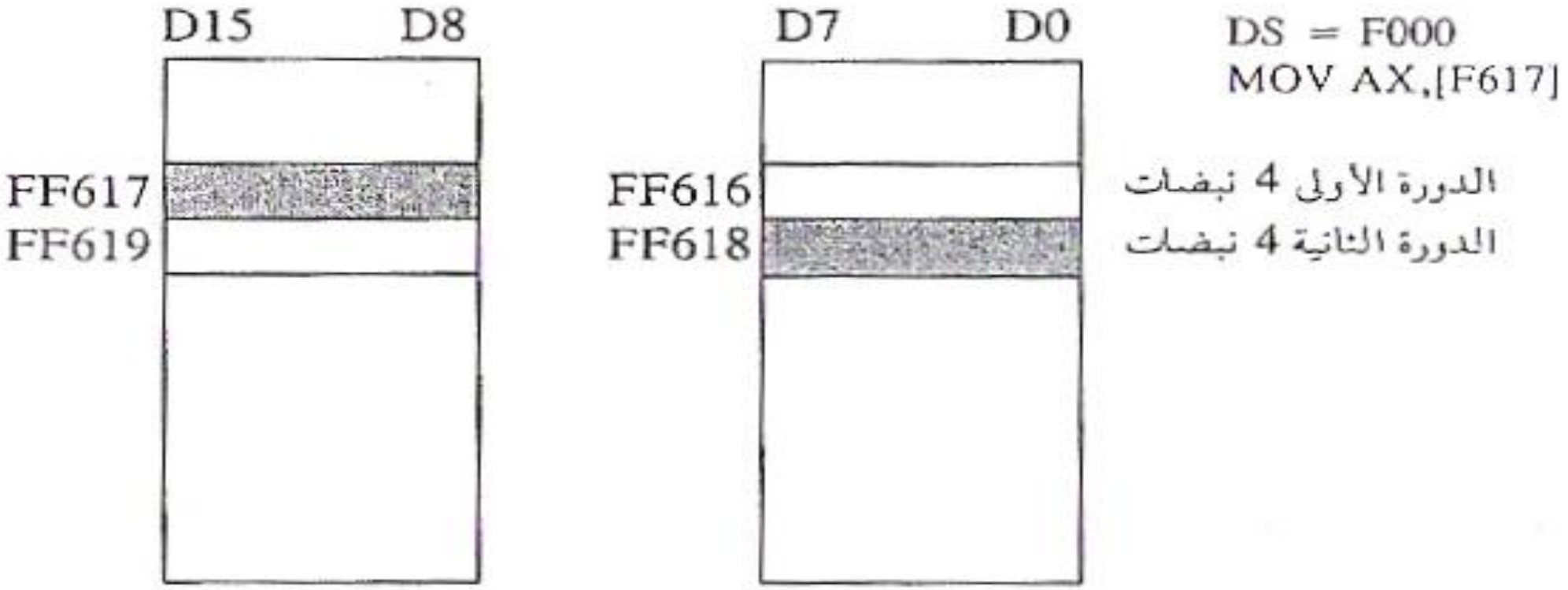
	BHE	A0
كلمة زوجية D0,D15	0	0
بايت فردي	0	1
بايت زوجي	1	0
------	1	1

ولكي نمرر كلمة في المعالج 8086 بدءا من عنوان زوجي نحتاج الى 4 دورات ساعية لأن البايت الأول D0-D7 والثاني من D8-D15 ،

أما عند البدء من عنوان فردي فإننا نحتاج الى 8 دورات ساعية لتمرير كلمة الى الذاكرة.

مثال تنفيذ التعليمة: MOVAX (F617)

بفرض أن DS=F000H من أجل هذه التعليمة سيتم نقل محتويات الموقعين
FF617H و FF618H الى السجل AX
يخزن المعالج في الدورة الأولى محتوى الموقع FF617H في السجل AL
وفي الدورة الثانية محتوى الموقع FF617H في السجل AH



عرض حزمة ممر الذاكرة في المعالج 8086 :

عرض حزمة الممر أو عرض الحزمة الترددية للممر تمثل سرعة الممر في تحويل المعلومات

بين المعالج والذاكرة والأجهزة المحيطية .

$$\text{عرض حزمة الممر (ميغابايت)} = \frac{1}{\text{زمن الدورة}} \times \text{عرض الممر بالبايت} .$$

مثال :

احسب عرض حزمة الممر للمعالج 8086 للذاكرة في الحالات :

1–بدون حالات انتظار .

2–حالة انتظار وحيدة .

3–قارن النتائج مع المعالج 8086 ذو عرض ممر للمعطيات 8BIT

الحل :

إن طول ممر المعطيات في المعالج 8086 هو 16bit لذلك فإن عرض حزمة الممر للمعالج 8086 تساوي :

2 X 1/800ns بايت = 2.5 ميغابايت / ثانية

وطول ممر المعطيات للمعالج 8086 هو 8BIT لذلك فإن عرض حزمة الممر للمعالج 8086 هو

1/800NS X 1 = 1.25 ميغابايت / ثانية

2–في حالة وجود حالة انتظار وحيدة

عرض حزم الممر للمعالج 8086 200/ 1 X 5 X 2 = 2 ميغابايت / ثانية .

عرض حزم الممر للمعالج 8086 200/ 1 X 5X 1 = 1 ميغابايت / ثانية .

وبالتالي فإن عرض حزم الممر تتعلق زمة دورة القراءة/الكتابة للمعالج و بطول ممر المعطيات .

مثال :

احسب عرض حزم الممر للمعالج 8086 والمعالج 80286 بتردد 10MHZ في الحالات التالية :

بدون حالات انتظار .

بحالة انتظار وحيدة .

بحالتي انتظار .

الحل :

زمن دور المعالج = 1/10M = 100 نانو ثانية أي 100NS

وبما أن زمن دور الممر للمعالج 8086 يساوي 4 أدوار وللمعالج 80286 دورين

فإن :

	8086	80286
زمن دورة الذاكرة بحالة انتظار صفرية	400ns	200ns
زمن دورة الذاكرة بحالة انتظار واحدة	500ns	300ns
زمن دورة الذاكرة بحالتي انتظار	600ns	400ns

عرض حزم الممر للمعالج 8086 بحالة انتظار صفرية

1 / 400NS * 2 = 5 ميغابايت / الثانية

عرض حزم الممر للمعالج 8086 بحالة انتظار وحيدة

1 / 500NS * 2 = 4 ميغابايت / الثانية

عرض حزم الممر للمعالج 8086 بحالتي انتظار

1 / 600NS *2 = 3.33 ميغابايت / الثانية

عرض حزم الممر للمعالج 80286 بحالة انتظار صفرية

1 / 200NS * 2 = 10 ميغابايت / الثانية

وعرض حزم الممر له في حالة انتظار واحدة 6.66 ميغابايت / الثانية

و في حالتي انتظار 5 ميغابايت / الثانية